

Архитектура суперкомпьютера для решения целочисленных задач с нерегулярной интенсивной работой с памятью

А.С. Фролов, Д.В. Мошкин, А.С. Семенов

ОАО «НИЦЭВТ»

С развитием глобальных информационных систем (социальные сети, ERM-системы, поисковые машины) задачи, связанные с обработкой и анализом данных большого объема (проблема "Больших Данных" или Big Data) становятся все более актуальными и требуют повышения эффективности их решения за счет применения новых программных и аппаратных технологий, претерпевающих в настоящее время фазу интенсивного роста и повышенного внимания со стороны сообщества высокопроизводительных систем. Одним из примеров задач из области Big Data являются графовые задачи. Существуют различные подходы к построению суперкомпьютеров, эффективно решающих графовые задачи [1].

В данной работе рассматривается архитектура гетерогенного суперкомпьютера, ориентированного на повышение продуктивности решения задач целочисленной обработки с интенсивной работой с памятью большого объема (более Пбайта). В основе предлагаемой архитектуры лежит вычислительный узел, состоящий из одного или нескольких коммерчески доступных суперскалярных многоядерных микропроцессоров и коммуникационного сопроцессора, встроенного в адаптер высокоскоростной сети.

Главными архитектурными особенностями сопроцессора являются: аппаратная мультитредовость, поддержка глобальной общей памяти, поддержка активных сообщений. Архитектура мультитредового коммуникационного сопроцессора с кодовым названием J7-C построена на основе архитектуры мультитредово-поточкового процессора J7, разрабатывавшегося в ОАО «НИЦЭВТ» в рамках проекта «Ангара» в 2005-2010 г. [2]. Однако за счет того, что J7-C является сопроцессором, архитектура J7-C является значительно более простой по сравнению с J7. Также в J7-C добавлена поддержка обеспечения функций взаимодействия с центральным процессором вычислительного узла. В качестве интерконнекта будет использована разрабатываемая отечественная высокоскоростная коммуникационная сеть EC8430 с топологией 4D-тор [3]. При этом в 2012 будет разработан первый прототип СБИС маршрутизатора на технологии 65 нм.

Возможны различные варианты размещения мультитредового коммуникационного сопроцессора в адаптере коммуникационной сети. Первый вариант – размещение сопроцессора в виде отдельной микросхемы на плате адаптера, второй – размещение сопроцессора внутри СБИС маршрутизатора. Предполагается последовательная реализация обоих вариантов.

Главным отличием рассматриваемого подхода к построению гетерогенного суперкомпьютера для графовых задач от подходов, применявшихся в Cray XMT и НИЦЭВТ «Ангара» – программная модель, предусматривающая выполнение задачи на многоядерно-суперскалярной и мультитредовой частях системы. Для этого прорабатывается программная модель с рабочим названием GAPL (Graph Application Programming Language), построенная в виде расширения языка Си в стиле CUDA и OpenCL.

В настоящий момент завершается разработка принципов работы J7-C, планируется создание полнофункционального параллельного эмулятора и стека программного обеспечения (драйвер, библиотеки, компилятор Си и ассемблер).

Литература

1. А.Фролов, А.Семенов, А.Никитин, А.Мошкин, В. Кабыкин, Д.Мошкин Суперкомпьютеры для графовых задач. «Открытые системы», №7, 2011
2. Л.Эйсымонт, А.Слущкин, Российский суперкомпьютер с глобально адресуемой памятью. «Открытые системы», №9, 2007
3. Д.Макагон, Е.Сыромятников Сети для суперкомпьютеров. «Открытые системы», №7, 2011